

Family list

2 family member for:

JP5053147

Derived from 1 application.

1 LIQUID CRYSTAL DISPLAY DEVICE AND PRODUCTION THEREOF

Publication Info: **JP2776083B2 B2** - 1998-07-16

JP5053147 A - 1993-03-05

Data supplied from the *esp@cenet* database - Worldwide

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2004 EPO. All rts. reserv.

11046690

Basic Patent (No,Kind,Date): JP 5053147 A2 930305 <No. of Patents: 002>

LIQUID CRYSTAL DISPLAY DEVICE AND PRODUCTION THEREOF (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): KOIDE SHIN

IPC: *G02F-001/136; G09F-009/30; H01L-027/12; H01L-029/784

CA Abstract No: 120(16)204820Y

Derwent WPI Acc No: G 93-113457

JAPIO Reference No: 170360P000039

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 5053147	A2	930305	JP 91236993	A	910823 (BASIC)
JP 2776083	B2	980716	JP 91236993	A	910823

Priority Data (No,Kind,Date):

JP 91236993 A 910823

CONSTITUTION: A lower gate electrode 102, a gate insulating film 103, an island semiconductor layer 104, an ohmic contact layer 105, a source electrode 106, a drain electrode 107, and an insulating film 108 thereon are successively formed on a glass substrate 101. An upper gate electrode 111 and a picture element electrode 109 are in succession formed simultaneously of a transparent conductive material ITO.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-53147

(43) 公開日 平成5年(1993)3月5日

(51) Int. Cl. ⁵	識別記号	F I
G02F 1/136	500	9018-2K
G09F 9/30	338	7926-5G
H01L 27/12	A	8728-4M
29/784		
	9056-4M	H01L 29/78
		311 G
		審査請求 未請求 請求項の数 2 (全4頁)

(21) 出願番号 特願平3-236993

(22) 出願日 平成3年(1991)8月23日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 小出 慎

東京都港区芝五丁目7番1号 日本電気株式会社内

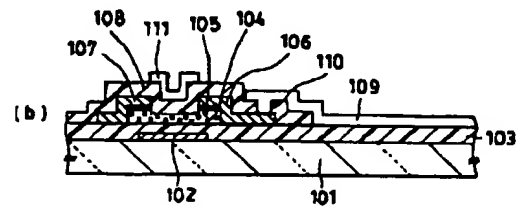
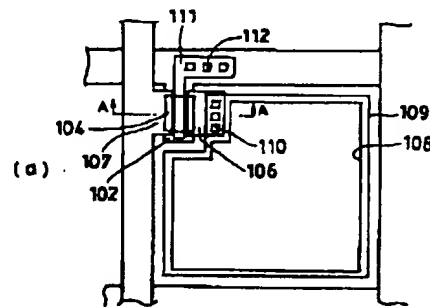
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【要約】

【目的】 二重ゲート構造の薄膜トランジスタの製造工程数の削減。

【構成】 ガラス基板101上に下部ゲート電極102、ゲート絶縁膜103、アイランド半導体層104、オーミックコンタクト層105、ソース電極106およびドレイン電極107、その上に絶縁膜108を順次形成する。続いて、上部ゲート電極111と画素電極109とを透明な導電性材料ITOにより同時に形成する。



101---ガラス基板
102---下部ゲート電極
103---ゲート絶縁膜
104---アイランド半導体層
105---オーミックコンタクト層
106---ソース電極
107---ドレイン電極
108---絶縁膜
109---画素電極
110, 112---コンタクトホール
111---上部ゲート電極

(2)

特開平5-53147

1

【特許請求の範囲】

【請求項1】 下部ゲート電極および上部ゲート電極を備える薄膜トランジスタをスイッチング素子とする液晶表示装置において、前記上部ゲート電極が前記薄膜トランジスタのソース電極と接続された画素電極と同一材料で形成されていることを特徴とする液晶表示装置。

【請求項2】 下部ゲート電極を形成する工程と、全面にゲート絶縁膜を形成する工程と、前記ゲート電極上にアイランド半導体層を形成する工程と、前記アイランド半導体層と接触するソース電極およびドレイン電極を形成する工程と、上部ゲート電極と前記ソース電極と接触する画素電極とを同時に形成する工程と、を含む液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ素子を備えた液晶表示装置およびその製造方法に関し、特に二重ゲート構造の薄膜トランジスタ素子を用いた液晶表示装置およびその製造方法に関する。

【0002】

【従来の技術】 図3は従来の二重ゲート構造の薄膜トランジスタの断面図である。同図において、301はガラス基板、302は、クロム等の金属で形成された下部ゲート電極、303は窒化シリコンからなるゲート絶縁膜、304はアモルファスシリコンからなるアイランド半導体層、305は、アイランド半導体層304の表面に形成されたオーミックコンタクト層、306はソース電極、307はドレイン電極、308はITO（インジウム・錫酸化物）等の透明導電材料からなる画素電極、309は窒化シリコンからなる絶縁膜、310はクロム等の金属で形成された上部ゲート電極である。ここで、上部ゲート電極310は、図示されていないコンタクトホールを介して下部ゲート電極302と接続されている。

【0003】

【発明が解決しようとする課題】 上述した二重ゲート構造薄膜トランジスタを用いた従来の液晶表示装置では、上部ゲート電極と画素電極とがそれぞれ別々の成膜工程と別々のリソグラフィ工程により形成されているため、単一ゲート構造の薄膜トランジスタと比較して製造するのに工数が多くかかるという欠点があった。

【0004】

【課題を解決するための手段】 本発明の二重ゲート構造薄膜トランジスタを用いた液晶表示装置では、上部ゲート電極と画素電極とが同一の材料で形成されている。

【0005】 また、本発明の液晶表示装置の製造方法は、絶縁基板上に下部ゲート電極を形成する工程と、ゲート絶縁膜を形成する工程と、アイランド半導体層を形成する工程と、前記アイランド半導体層に接続されるソース電極およびドレイン電極を形成する工程と、ソース

2

電極と接続される画素電極と上部ゲート電極とを同時に形成する工程と、を含んでいる。

【0006】

【実施例】 次に、本発明の実施例について図面を参照して説明する。図1の(a)は、本発明の第1の実施例を示す平面図であり、図1の(b)はそのA-A線断面図である。

【0007】 同図において、101はガラス基板、102はクロムからなる下部ゲート電極、103は窒化シリコンからなるゲート絶縁膜、104はアモルファスシリコンからなるアイランド半導体層、105はn型アモルファスシリコンからなるオーミックコンタクト層、106、107は、それぞれクロム膜により形成されたソース電極とドレイン電極、108は窒化シリコンからなる絶縁膜、109はITOからなる画素電極、110はソース電極106-画素電極109間を接続するためのコンタクトホール、111は画素電極109と同一材料（この場合はITO）で形成された上部ゲート電極、112は、下部ゲート電極102と上部ゲート電極111との間を接続するためのコンタクトホールである。

【0008】 次に、本実施例の製造方法について説明する。厚さ約1mmのガラス基板101上に金属クロムを1000Åの膜厚にスパッタ法により成膜し、これをフォトリソグラフィとウェットエッチング法によりパターン化し下部ゲート電極102を形成する。次に、その上にプラズマCVD法により窒化シリコン膜（ゲート絶縁膜103）、アモルファスシリコン膜、リンをドーブしたn型アモルファスシリコン膜をそれぞれ4000Å、2000Å、500Åの膜厚に成長させる。次に、アモルファスシリコン膜とn型アモルファスシリコン膜をフォトリソグラフィとドライエッチング法により下部ゲート電極上に島状に加工して、アイランド半導体層104とオーミックコンタクト層105を形成する。

【0009】 その上に金属クロムを膜厚1500Åにスパッタ法で成膜し、フォトリソグラフィとドライエッチング法によりパターン化し、ソース電極106およびドレイン電極107を形成する。次に、アイランド半導体層104上のソース電極とドレイン電極間のn型アモルファスシリコン層をドライエッチング法でエッチング除去し、ソース電極とドレイン電極間を分離する。

【0010】 続いて、プラズマCVD法により、膜厚4000Åの窒化シリコン膜を成膜し、画素電極109、コンタクトホール110、112部分を開孔して絶縁膜108とする。ここで、この窒化シリコン膜は薄膜トランジスタ装置の保護膜としての機能と、この後に形成する上部ゲート電極111のゲート絶縁膜としての機能とを有する膜である。

【0011】 次に、ITO膜をスパッタ法により膜厚1000Åに成膜する。そしてフォトリソグラフィとウェットエッチング法により、上部ゲート電極111と画素

(3)

特開平5-53147

3

4

電極109を同時に形成する。ここで、上部ゲート電極111は、はコンタクトホール112を介して下部ゲート電極102と接続され、また、画素電極109は、コンタクトホール110を介してソース電極106と接続される。最後に、全体を250℃で2時間アニールして本実施例のTFT基板の製造を完了する。

【0012】従来法では、画素電極と上部ゲート電極とが別々の工程により形成されていたので、それぞれの電極の成膜工程とバターニング工程が必要であったが、本実施例では、両電極を同じ工程で形成しているの、工数10
 10 工数がその分削減され、実質的に単一ゲート電極の薄膜トランジスタの場合と同等の工数で二重ゲート薄膜トランジスタを作成することができる。

【0013】図2は本発明の第2の実施例を示す断面図である。同図において、図1の実施例と共通する部分には下2桁が共通する参照番号が付されている。

【0014】本実施例は次のように製造される。ガラス基板201上に下部ゲート電極202、ゲート絶縁膜203を形成した後、アモルファスシリコン膜と窒化シリコン膜とを続けて成膜し、これらをバターニングしてア
 20 イランド半導体層204と絶縁膜208とを形成する。続いて、n型アモルファスシリコンを堆積しこれをバターニングしてオーミックコンタクト層205を形成する。

【0015】次に、ITO膜の成膜とバターニングを行って画素電極209と上部ゲート電極211とを形成する。最後にクロム膜によりソース電極206とドレイン

電極207とを形成する。

【0016】

【発明の効果】以上説明したように、本発明は、液晶表示装置に用いられる二重ゲート構造の薄膜トランジスタに関して、上部ゲート電極と画素電極を共通の材料を用いて同時に形成するようにしたものである。本発明によれば、下部電極のみの単一ゲート構造の薄膜トランジスタ装置と同じ工程数で二重ゲート薄膜トランジスタを製造することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す平面図と断面図。

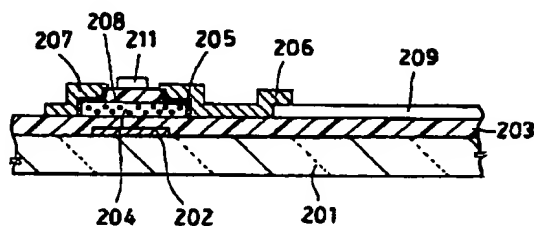
【図2】本発明の第2の実施例を示す断面図。

【図3】従来例の断面図。

【符号の説明】

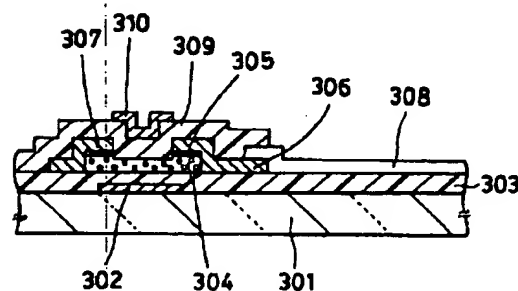
101、201、301…ガラス基板
 102、202、302…下部ゲート電極
 103、203、303…ゲート絶縁膜
 104、204、304…アイランド半導体層
 105、205、305…オーミックコンタクト層
 106、206、306…ソース電極
 107、207、307…ドレイン電極
 108、208、308…絶縁膜
 109、209、309…画素電極
 110…ソース電極—画素電極間のコンタクトホール
 111、211、310…上部ゲート電極
 112…上部電極—下部電極間のコンタクトホール

【図2】



201—ガラス基板
 202—下部ゲート電極
 203—ゲート絶縁膜
 204—アイランド半導体層
 205—オーミックコンタクト層
 206—ソース電極
 207—ドレイン電極
 208—絶縁膜
 209—画素電極
 211—上部ゲート電極

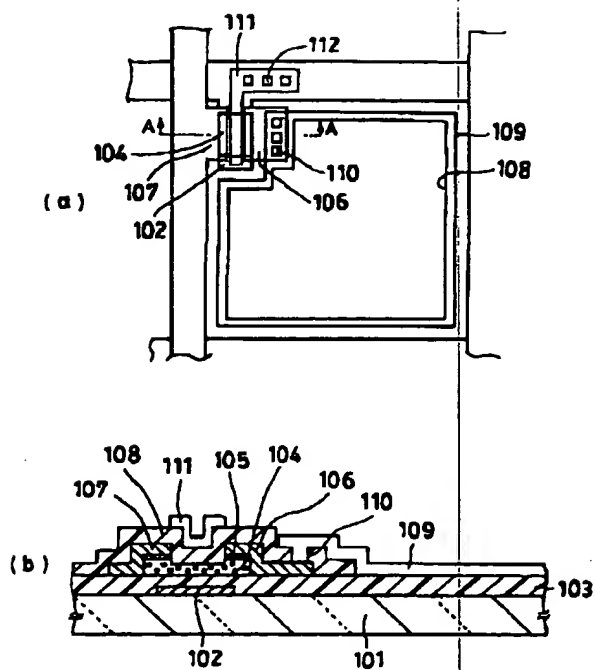
【図3】



(4)

特開平5-53147

【図1】



- | | |
|-----------------|---------------------|
| 101---ガラス基板 | 107---ドレイン電極 |
| 102---下部ゲート電極 | 108---絶縁膜 |
| 103---ゲート絶縁膜 | 109---ソース電極 |
| 104---アランボキ半導体層 | 110, 112---コンタクトホール |
| 105---オミツコンタクト層 | 111---上部ゲート電極 |
| 106---ソース電極 | |